

Backend Digital Multipropósito Desarrollado en el Instituto Argentino de Radioastronomía

N. Catalano¹

¹ Instituto Argentino de Radioastronomía (CCT La Plata - CONICET)

Como parte del desarrollo de un transceptor digital para un arreglo de antenas con conformación digital de haz llevado a cabo en el Instituto Argentino de Radioastronomía, se desarrolló un Backend Digital (BED). Este BED es el último eslabón en la cadena de recepción, después de las etapas analógicas de mezclado y filtrado. De esta manera, la señal de RF recibida en la antena es llevada a una frecuencia intermedia donde se realiza la conversión al dominio digital.

El BED incluye, en una sola placa de dimensiones reducidas, las siguientes prestaciones básicas: conversión Analógica Digital de alta velocidad, recursos para procesamiento digital de señales, comunicación vía Ethernet, capacidad de memoria RAM mayor a 32 Mbit y 8 Mbit de ROM. Además cuenta con los recursos necesarios para desempeñar tareas de control y monitoreo de las etapas analógicas del frontend de RF.

El corazón del BED está formado por una FPGA (Field Programmable Gate Array) que realiza el control de todos los periféricos. El hecho de contar con una FPGA le brinda la flexibilidad de ser un sistema reconfigurable y permite implementar algoritmos de procesamiento tanto en hardware como en software, y la reutilización tanto de IP (Intellectual Property) Cores como de código en C desarrollado previamente. Todo esto con una muy buena relación costo / desempeño.

Originalmente, el BED está pensado para almacenar las muestras provenientes de una de las antenas que componen el arreglo para posteriormente enviarlas por una red Ethernet al sistema que realiza el procesamiento del arreglo (conformador de haz). Pero, dada la flexibilidad de la arquitectura presentada, es posible emplear este BED de manera autónoma como la última etapa de una cadena de RF para un instrumento de características más generales. Por otro lado, la posibilidad de utilizar la señal de referencia local o una externa permite que esta placa sea utilizada en forma autónoma o bien como parte de un sistema sincronizado.

Además cuenta con un bus de comunicaciones que puede utilizarse como interfaz con otros periféricos externos para su control o monitoreo. Este bus también puede ser empleado para distribuir señales de sincronismo a diferentes dispositivos.

Finalmente, esta placa también puede utilizarse como plataforma de desarrollo de algoritmos de procesamiento. Estos algoritmos pueden ser diseñados y simulados en VHDL (Very High Speed Integrated Circuit -VHSIC- Hardware Description Language-HDL) para luego implementarse en Hardware o bien embeber uno o más microprocesadores y trabajar en un lenguaje de programación estándar como podrían ser assembler, C/C++, etc.

Algunas de las posibles aplicaciones del desarrollo presentado son: backend digital para un radiotelescopio de disco simple o un arreglo de antenas, radares monoestáticos, biestáticos o de apertura sintética; control y monitoreo del posicionamiento de un telescopio óptico y

procesamiento de las imágenes provenientes del CCD. También puede ser empleada como plataforma de desarrollo de propósitos generales.